

English Translation of Japanese Patent Laid-Open 5-226364

Published: September 3, 1993

Inventor(s): Takami MAKINO

Translated: November 27, 1998

(19) JAPAN PATENT OFFICE (JP)
(12) PATENT PUBLICATION OFFICIAL REPORT(A)
(11) PATENT APPLICATION PUBLICATION NUMBER: HEI 5-226364
(43) PUBLICATION: September 3, 1993
(21) APPLICATION NUMBER: 4-27750
(22) FILING DATE: February 14, 1992
(71) APPLICANT FOR A PATENT: 000005223
Fujitsu Ltd.
1015, Kamiodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken
(72) INVENTOR: Takami MAKINO
Fujitsu Ltd.
1015, Kami-odanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken
(74) AGENT: Patent Attorney, Shouji KASHIWATANI
(54) [Title of the Invention]
Manufacturing Method of MIS Type Field Effect Transistor
(57) [Abstract]

[Object]

Regarding a manufacturing method of an MIS type field effect transistor, the parasitic resistance is reduced by using very simple method, that is, by stabilizing each contact resistance between a source region made of a high-melting point metal silicide and another source region made of silicon, and between a drain region made of source region and a high-melting point metal silicide and another drain region made of drain region and silicon.

[Construction]

Side wall-like insulating films 27 are formed on the side face of a gate electrode 24G after forming the electrode 24G on a p-silicon active layer 22. Then, an n- -source are 29S and n- -drain region 29D are formed by transforming the p-silicon active layer 22 cropping out on both sides of the side wall-like insulating film 27 into source and drain regions 28S and 28D made of TiSi_2 and introducing an impurity into the space between the source and drain regions 28S and 28D made of the gate electrode 24G and TiSi_2 after removing the side wall-like insulating film 27.

[Scope of Claim for a Patent]

[Claim 1]

A method of manufacturing an MIS type field effect transistor comprising the steps of:

forming a gate electrode over an active layer made of silicon of a thin film SOI, and then forming a side wall-like insulating film on the side face thereof,

converting the active layer made of silicon, which is exposed on both sides of the side wall-like insulating film, to source and drain regions made of a high melting point metal silicide,

and forming source and drain regions having an LDD structure by removing the side wall-like insulating film and introducing impurities between the gate electrode and source and drain regions made of a high melting point metal silicide.

[Claim 2]

The method of claim 1 further comprising the step of:

introducing impurities to the part of the active layer made of silicon for forming source and drain regions made of the high melting point metal silicide in advance.

[Claim 3]

The method of claim 1 or 2 wherein the concentration of the impurity introduced between the gate electrode and the source and drain regions made of the high melting point metal silicide by removing the side wall-like insulating film is higher than that of the impurity used for forming source and drain regions having an LDD structure.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[FIELD OF THE INDUSTRIAL APPLICATION]

The present invention relates to a method of manufacturing an MIS type field effect transistor, which is suitable for forming the MIS(metal insulator semiconductor) type field effect transistor on a thin film SOI (silicon on insulator).

[0002]

High performance of a semiconductor device has been realized depending largely on the improvement in transistor performance, which can be obtained by refinement of transistors. At present, however, there is a limit to improve the performance by using such means. However, by

using the MIS type field effect transistor utilizing a thin film SOI, there is a possibility to overcome the limit, so that it is necessary to study and develop thereof.

[0003]

[PRIOR ART]

In general, the MIS type field effect transistor using a thin film SOI has less so-called short channel effect such as lowering the threshold voltage V_{th} or occurrence of the punch through in comparison with the MIS type field effect transistor formed with a bulk. Also, the MIS type field effect transistor using a thin film SOI has the advantage that it is possible to prevent the latch up phenomenon in CMOS (complementary metal oxide semiconductor) because drain current is increased by the increase of electric field effect mobility due to the relaxation of a channel vertical electric field and by increasing a pinch off voltage, and also element separation is perfectly possible.

[0004]

However, the MIS type field effect transistor using a thin film SOI has a problem that resistance of diffusion layers of the source and drain is increased. To solve the above problem, it is effective to form the source and drain by using a high melting point metallic silicide.

[0005]

Fig. 9 shows a side view of a main section in order to explain the conventional method wherein a high melting point metallic silicide is used for both source and drain of the MIS type field effect transistor using a thin film SOI.

[0006]

In the figure, 1 shows an insulating layer made of SiO_2 , 2 shows an active layer, which is a silicon semiconductor substrate like a thin film, 3 shows a gate insulating film made of SiO_2 , 4 shows a gate electrode made of polycrystalline silicon, 5 shows an insulating film made of SiO_2 , 6 shows an n-source region having an LDD (lightlydoped drain) structure, 7 shows an n-drain region having an LDD structure, 8 shows a side wall-like insulating film made of SiO_2 , 9 shows a source region made of TiSi_2 , 10 shows a drain region made of TiSi_2 , 11 shows an insulating film made of BPSG (boronphosphosilicate glass), 12 shows a source electrode made of Al and 13 shows a drain electrode made of Al, respectively.

[0007]

Since the source region 9 and drain region 10 of the MIS type field effect transistor using a thin film SOI as shown in the figure is composed

of TiSi_2 , the source resistance and drain resistance are small as compared to one composed of an impurity dispersion layer.

[0008]

[THE PROBLEM TO BE SOLVED BY THE INVENTION]

Regarding the MIS type field effect transistor using a thin film SOI explained in Fig. 9, the resistance of the source region 9 and drain region 10 is small, however, an effect by the contact resistance between an n-source region 6 and a source region 9 and between an n-drain region 7 and a drain region 10 comes to be a problem. In particular, when a thermal treatment is performed to convert into a silicide by reacting a high melting point metal with silicon, there arises a problem that a contact resistance is increased because an impurity existing in silicon is dispersed into a silicide.

[0009]

According to the MIS type field effect transistor of the present invention, which is composed of a thin film SOI and has source and drain regions made of a high melting point metal silicide, the parasitic resistance is reduced by a very simple method, that is, by stabilizing the contact resistances between a source region made of a high melting point metal silicide and another source region made of silicon, and between a drain region made of a high melting point metal silicide and another drain region made of silicon, respectively.

[0010]

[MEANS TO SOLVE THE PROBLEMS]

In this invention, basically, after forming source and drain regions made of a high melting point metal silicide, another source and drain regions having an LDD structure are formed. Therefore, the manufacturing process is complicated a little, however, such a lot of trouble is out of question from the viewpoint of the effect for reducing the parasitic resistance, and also impairing the production yield will not happen.

[0011]

Accordingly, the method of manufacturing the MIS type field effect transistor according to the present invention is;

[0012]

characterized by the step(1) of forming a gate electrode (for example, a gate electrode 24G) over an active layer(for example, a p-silicon active layer 22) made of silicon in a thin film SOI, subsequently forming a side wall-like insulating film (for example, a side wall-like insulating film 27) on the side face thereof, converting the active layer made of silicon

exposed on the both sides of the side wall-like insulating film into a source region (for example, a source region 28S made of TiSi_2) and a drain region (for example, a drain region 28D made of TiSi_2) made of a high melting point metal silicide, and forming a source region (for example, an n- source region 29S) and a drain region (for example, an n- drain region 29D) having an LDD structure by removing the side wall-like insulating film and introducing an impurity between the gate electrode and the source and drain regions made of a high melting point metal silicide, or
[0013]

characterized by the step(2) of introducing an impurity at high concentration in the part of an active layer made of silicon for forming source and drain regions made of a high melting point metal silicide in the above step (1) in advance, or
[0014]

characterized by that (3) the concentration of the impurity introduced between the gate electrode and source and drain regions made of a high melting point metal silicide by removing the side wall-like insulating film is higher than that of impurity used for forming source and drain regions having an LDD structure in the above steps (1) and (2).
[0015]

[EFFECT]

When the above mentioned method is used, source and drain regions formed by introducing an impurity into an active layer made of silicon is formed after forming source and drain regions made of a high melting point metal silicide formed by reacting a high melting point metal silicide with silicon, so that there is not any fear that the impurity is not included into a high melting point metal silicide when the high melting point metal silicide is reacted with silicon. Accordingly, the contact resistance between a source region formed over an active layer made of silicon and another source region made of a high melting point metal silicide, and the contact resistance between a drain region formed over an active layer made of silicon and another drain region made of a high melting point metal silicide can be decreased.

[0016]

[EXAMPLE]

Fig. 1 to Fig. 8 show a side view of main section of an MIS type field effect transistor to explain one example of the present invention at main process. Referring to these figures, the present invention will be explained as follows. Also, the thin film SOI used in the present invention

may be formed by the prior art, which has been frequently used, so that the explanation of the manufacturing process is omitted. Also, each figure shows a portion above the underlying insulating film 21 comprising SiO₂, including an active layer 22, which is formed by making a semiconductor substrate a thin film and separating it into a single element.

[0017] see Fig. 1

1-(1) A gate insulating film 23 made of SiO₂ is formed to cover a p-silicon active layer 22 at a thickness, for example, 10 to 20nm by applying a thermal oxidation method.

[0018]

1-(2) A polycrystal silicon layer 24 having a thickness, for example, 200 to 300nm is formed on the whole surface by applying chemical vapor deposition(CVD) method.

1-(3) An insulating film 25 made of SiO₂ is formed on the whole surface at a thickness, for example, 50 to 100nm by applying the same CVD method.

[0019] see Fig. 2

2-(1) An insulating film 25 is patterned in gate pattern by applying resist process of lithography technology and reactive ion etching (RIE), using CF₄+H₂ as an etching gas.

2-(2) Subsequently, the polycrystalline silicon 24 is patterned to form a gate electrode 24G by applying RIE method using Cl as an etching gas.

[0020]

2-(3) After the process 2-(2), one part of the polycrystalline silicon layer 24 is remained in a side wall shape on edge of a p-silicon active layer 22 covered with the gate insulating film 23, therefore, it is necessary to remove it. Because of this, a protective film wherein only the polycrystalline silicon layer 24 in the side wall-like shape is exposed by applying the resist process of the lithography technology.

2-(4) By applying RIE method using Cl as an etching gas, the polycrystalline silicon layer 24, which remains in the side wall-like on the side faces of the active layer 22 covered with the gate insulating film 23, is removed by isotropic etching.

[0021] see Fig. 3

3-(1) An insulating film 26 made of Si₃N₄ is formed on the whole surface at a thickness, for example 10 to 30nm by removing the protective film formed in the process 2-(3) and applying CVD method.

3-(2) An insulating film 27 made of SiO₂ is formed on the whole

surface at a thickness of, for example, 100 to 200 nm by applying the CVD method.

[0022] see Fig. 4

4-(1) Anisotropic etching of the insulating films 26 and 27 is conducted by applying RIE method using $\text{CF}_4 + \text{H}_2$ as an etching gas. Also, this etching is stopped when a surface of the active layer 22 is exposed. After this process, the insulating films 27 and 26 are remained on the side surfaces of the gate electrode 24G, the insulating film 25 and the active layer 22 in side wall shape, however, there is no need to remove them.

[0023] see Fig. 5

5-(1) A Ti film 28 is formed at a thickness of, for example 30 to 100nm on the whole surface by applying sputtering. Before forming the Ti film 28, by applying, e.g. ion implantation method, an n-type impurity ion is implanted into the active layer 22 exposed on the both side of the insulating film 27 in side wall shape, which covers the side face of the gate electrode 24, thereby it may be an n-type, that is n^+ at high concentration.

[0024] see Fig. 6

6-(1) By applying RTA(rapid thermal anneal) method, thermal treatment is conducted at a temperature of 650°C for 60 seconds to react the Ti film 28 with the underlying active layer 22 made of silicon, thereby forming a TiSi_2 .

6-(2) Ti film 28, which is not converted to TiSi_2 , is removed by dipping in alkali solution, for example ammonia(NH_3), thereby forming a source region 28S and drain region 28D.

[0025] See Fig. 7

7-(1) The side wall-like insulating film 27 is removed by treatment using down flow of CF_4 plasma. Also, the insulating film 25 existing on the gate electrode 24G is also removed at the same time. To remove the side wall-like insulating film 27, wet etching method using, e.g. HF as etchant can be applied in addition to the above mentioned method.

[0026]

7-(2) By applying ion implantation method, phosphorus ions are implanted at a dose of $1 \times 10^{13}\text{cm}^{-2}$ at acceleration energy of 30keV to form an n- source region 29S and n- drain region 29D having an LDD structure. It is needless to say that the implanted ion P is activated by thermal treatment at proper time. Also, if there is no necessary to be LDD structure, ion implantation is performed at high concentration to convert

to n+.

[0027] See Fig. 8

8-(1) By applying CVD method, an interlayer insulating film 30 made of BPSG(borophosphosilicate glass) is formed at a thickness of, for example 1 μ m.

8-(2) By applying resist process of lithography technology and RIE method using CF₄+ H₂ as an etching gas, the interlayer insulating film 30 is selectively etched to form opening for electrode contact.

8-(3) Finally, a source electrode 31 and a drain electrode 32 made of Al and another electrode and wiring are formed by applying vacuum deposition method and lithography technology.

[0028]

As seen from the above mentioned explanation, when a Ti film 28 is reacted with the active layer 22 made of silicon to form a source region 28S and drain region 28D, impurities are not incorporated by TiSi₂ side from silicon side since n-source region 29S and n-drain region 29D have not been formed yet.

[0029]

[THE EFFECT OF THE INVENTION]

The manufacturing method of the MIS type field effect transistor according to the present invention comprises the steps of; forming a gate electrode over an active layer made of silicon of a thin film SOI, and then forming a side wall-like insulating film on the side face thereof, converting the active layer made of silicon, which is exposed on both sides of the side wall-like insulating film, to source and drain regions made of a high melting point metal silicide, and forming source and drain regions having an LDD structure by removing the side wall-like insulating film and introducing impurities between the gate electrode and source and drain regions made of a high melting point metal silicide.

[0030]

By applying the above constitution, source and drain regions formed by introducing an impurity into an active layer made of silicon is formed after forming source and drain regions made of a high melting point metal silicide formed by reacting a high melting point metal silicide with silicon, so that there is not any fear that the impurity is included into a high melting point metal silicide when the high melting point metal silicide is reacted with silicon. Accordingly, the contact resistance between source region formed over an active layer made of silicon and another source region made of high melting point metal

silicide, and the contact resistance between drain region formed over the active layer made of silicon and another drain region made of high melting point metal silicide.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Figs. 1 to 8] show a side view of main section of an MIS type field effect transistor to explain one example of the present invention at main process.

[Fig. 9] shows a side view of main section to explain conventional example wherein source and drain of the MIS type field effect transistor using a thin film SOI are made of a high melting point metal silicide.

[DESCRIPTION OF REFERENCE NUMERAL]

- 21 insulating layer
- 22 p-silicon active layer
- 23 gate insulating film
- 24 polycrystalline silicon layer
- 24G gate electrode
- 25 insulating film made of SiO_2
- 26 insulating film made of Si_3N_4
- 27 insulating film made of SiO_2
- 28 Ti film
- 28S source region made of TiSi_2
- 28D drain region made of TiSi_2
- 29S n- source region
- 29D n- drain region
- 30 interlayer insulating film made of BPSG
- 31 source electrode made of Al
- 32 drain electrode made of Al

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

04234664

MANUFACTURE OF MIS FIELD EFFECT TRANSISTOR

PUB. NO.: 05-226364 [JP 5226364 A]

PUBLISHED: September 03, 1993 (19930903)

INVENTOR(s): MAKINO TAKAMI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: 04-027750 [JP 9227750]

FILED: February 14, 1992 (19920214)

ABSTRACT

PURPOSE: To reduce the parasitic resistance of an MIS field effect transistor by stabilizing the contact resistances between a source area made of a high-melting point metal silicide and another source area made of silicon and between a drain area made of a high-melting point metal silicide and another drain area made of silicon.

CONSTITUTION: Side wall-like insulating films are formed on the side face of a gate electrode 24G after forming the electrode 24G on a p-silicon active layer 22. Then an n(sup -)-source area 29s and n(sup -)drain area 29D are formed by transforming the p-silicon active layer 22 cropping out on both sides of the side wall-like insulating film into a TiSi(sub 2) source and drain areas 28s and 28D and introducing an impurity into the space between the areas 28S and 28D after removing the side wall-like insulating film.

(51)Int.Cl.⁵H 0 1 L 21/336
29/784
27/12

識別記号

庁内整理番号

F I

技術表示箇所

Z 8728-4M
9056-4M

H 0 1 L 29/ 78

3 1 1 P

審査請求 未請求 請求項の数3(全 7 頁)

(21)出願番号

特願平4-27750

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(22)出願日

平成4年(1992)2月14日

(72)発明者 牧野 孝実

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

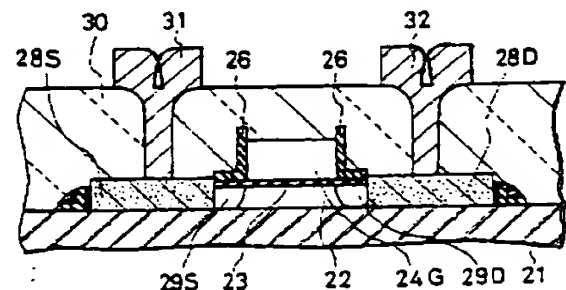
(54)【発明の名称】 M I S型電界効果トランジスタの製造方法

(57)【要約】

【目的】 M I S型電界効果トランジスタの製造方法に関し、極めて簡単な手段に依り、高融点金属シリサイドからなるソース領域とシリコンからなるソース領域及び高融点金属シリサイドからなるドレイン領域とシリコンからなるドレイン領域に於ける各コンタクト抵抗を安定化し、寄生抵抗が小さくなるようにする。

【構成】 p-シリコン活性層22上にゲート電極24Gを形成してからその側面にサイド・ウォール状絶縁膜27を形成し、サイド・ウォール状絶縁膜27の両側に露出されているp-シリコン活性層22をT i S i₂からなるソース領域28S及びドレイン領域28Dに変換し、サイド・ウォール状絶縁膜27を除きゲート電極24GとT i S i₂からなるソース領域28S及びドレイン領域28Dとの間に不純物を導入してn⁺-ソース領域29S及びn⁺-ドレイン領域29Dを形成する。

一実施例を解説する為の工程要所に於けるM I S型電界効果トランジスタの要部切断断面図



30 : 層間絶縁膜
31 : ソース電極
32 : ドレイン電極

【特許請求の範囲】

【請求項1】 薄膜SOIに於けるシリコンからなる活性層上にゲート電極を形成してからその側面にサイド・ウォール状絶縁膜を形成する工程と、

次いで、該サイド・ウォール状絶縁膜の両側に露出されているシリコンからなる活性層を高融点金属シリサイドからなるソース領域及びドレイン領域に変換する工程と、

次いで、該サイド・ウォール状絶縁膜を除去して該ゲート電極と該高融点金属シリサイドからなるソース領域及びドレイン領域との間に不純物を導入してLDD構成のソース領域及びドレイン領域を形成する工程とが含まれてなることを特徴とするMIS型電界効果トランジスタの製造方法。

【請求項2】 高融点金属シリサイドからなるソース領域及びドレイン領域を生成させるべきシリコンからなる活性層の部分に予め高濃度の不純物を導入する工程が含まれてなることを特徴とする請求項1記載のMIS型電界効果トランジスタの製造方法。

【請求項3】 サイド・ウォール状絶縁膜を除去してゲート電極と高融点金属シリサイドからなるソース領域及びドレイン領域との間に導入する不純物の濃度がLDD構成のソース領域及びドレイン領域を形成する場合の不純物の濃度に比較して十分に高いことを特徴とする請求項1或いは請求項2記載のMIS型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜SOI (silicon on insulator) にMIS (metal insulator semiconductor) 型電界効果トランジスタを作り込むのに好適なMIS型電界効果トランジスタの製造方法に関する。

【0002】 現在、半導体装置の高性能化は、トランジスタを微細化することで得られたトランジスタ単体性能の向上に依るところが大きい、そのような手段を採って性能を向上させることについては限界が見えてきた。然しながら、薄膜SOIを利用するMIS型電界効果トランジスタに依ると、その限界を越えられる可能性があり、従って、その研究・開発が必要である。

【0003】

【従来の技術】 一般に、薄膜SOIを用いたMIS型電界効果トランジスタは、バルクに形成したMIS型電界効果トランジスタに比較し、しきい値電圧 V_{th} の低下やパンチ・スルー発生など、所謂、短チャネル効果が少なく、チャネル垂直電界の緩和に依る電界効果移動度の増大やピンチ・オフ電圧が上昇することでドレイン電流が増大し、また、完全な素子分離が可能であるからCMOS (complementary metal oxide semiconductor) に於けるラッチ・

アップ現象を防ぐことも可能であり、高集積化するのに好適である旨の利点がある。

【0004】 然しながら、薄膜SOIを用いたMIS型電界効果トランジスタには、薄膜にしたことに起因するソース及びドレインの拡散層抵抗増大の問題がある。この問題を解消するには、ソース及びドレインを高融点金属シリサイドで形成することが有効である。

【0005】 図9は薄膜SOIを用いたMIS型電界効果トランジスタに於けるソース並びにドレインに高融点金属シリサイドを用いた従来例を説明する為の要部切断側面図を表している。

【0006】 図に於いて、1は SiO_2 からなる絶縁層、2は薄膜化されたシリコン半導体基板である活性層、3は SiO_2 からなるゲート絶縁膜、4は多結晶シリコンからなるゲート電極、5は SiO_2 からなる絶縁膜、6はLDD (lightly doped drain) 構成の n^+ ソース領域、7はLDD構成の n^- ドレイン領域、8は SiO_2 からなるサイド・ウォール状絶縁膜、9は TiSi_2 からなるソース領域、10は TiSi_2 からなるドレイン領域、11はBPSG (borophosphosilicate glass) からなる絶縁膜、12はAlからなるソース電極、13はAlからなるドレイン電極をそれぞれ示している。

【0007】 図示の薄膜SOIを用いたMIS型電界効果トランジスタは、ソース領域9及びドレイン領域10が TiSi_2 で構成されていることから、それ等を不純物拡散層で構成したものに比較し、ソース抵抗及びドレイン抵抗は低くなっている。

【0008】

【発明が解決しようとする課題】 図9について説明した薄膜SOIを用いたMIS型電界効果トランジスタに於いては、ソース領域9及びドレイン領域10自体の抵抗は低くなるのであるが、 n^+ ソース領域6とソース領域9、或いは、 n^- ドレイン領域7とドレイン領域10とのコンタクト抵抗の影響が問題となりつつある。特に、高融点金属とシリコンとを反応させてシリサイド化する為の熱処理を行う際、シリコン中の不純物がシリサイド中に拡散する為、コンタクト抵抗が上昇する旨の問題が発生している。

【0009】 本発明は、薄膜SOIを用いて構成され、高融点金属シリサイドからなるソース領域及びドレイン領域をもったMIS型電界効果トランジスタに於いて、極めて簡単な手段を採ることで、高融点金属シリサイドからなるソース領域とシリコンからなるソース領域、或いは、高融点金属シリコンからなるドレイン領域とシリコンからなるドレイン領域に於ける各コンタクト抵抗を安定化し、それぞれ寄生抵抗が小さくなるようにする。

【0010】

【課題を解決するための手段】 本発明では、高融点金属シリサイドからなるソース領域及びドレイン領域を形成

した後にLDD構成のソース領域及びドレイン領域を形成することが基本になっている。この為には、製造工程が若干複雑になるが、寄生抵抗低減の効果からすれば、そのような手間の増大は問題にならず、しかも、それに依って製造歩留りが低下することはない。

【0011】このようなことから、本発明に依るMIS型電界効果トランジスタの製造方法に於いては、

【0012】(1) 薄膜SOIに於けるシリコンからなる活性層(例えばp-シリコン活性層22)上にゲート電極(例えばゲート電極24G)を形成してからその側面にサイド・ウォール状絶縁膜(例えばサイド・ウォール状絶縁膜27)を形成する工程と、次いで、該サイド・ウォール状絶縁膜の両側に表出されているシリコンからなる活性層を高融点金属シリサイドからなるソース領域(例えばTisSi₂からなるソース領域28S)及びドレイン領域(例えばTisSi₂からなるドレイン領域28D)に変換する工程と、次いで、該サイド・ウォール状絶縁膜を除去して該ゲート電極と該高融点金属シリサイドからなるソース領域及びドレイン領域との間に不純物を導入してLDD構成のソース領域(例えばn⁺ソース領域29S)及びドレイン領域(例えばn⁺ドレイン領域29D)を形成する工程とが含まれてなることを特徴とするか、或いは、

【0013】(2) 前記(1)に於いて、高融点金属シリサイドからなるソース領域及びドレイン領域を生成させるべきシリコンからなる活性層の部分に予め高濃度の不純物を導入する工程が含まれてなることを特徴とするか、或いは、

【0014】(3) 前記(1)或いは(2)に於いて、サイド・ウォール状絶縁膜を除去してゲート電極と高融点金属シリサイドからなるソース領域及びドレイン領域との間に導入する不純物の濃度がLDD構成のソース領域及びドレイン領域を形成する場合の不純物の濃度に比較して十分に高いことを特徴とする。

【0015】

【作用】前記手段を採ると、シリコンからなる活性層に不純物を導入して形成されるソース領域とドレイン領域とは、高融点金属とシリコンとを反応させて生成される高融点金属シリサイドからなるソース領域とドレイン領域が形成された後で形成されるものであるから、高融点金属とシリコンとを反応させる際に高融点金属シリサイド中に不純物が取り込まれる虞はなく、従って、シリコンからなる活性層に形成されたソース領域及び高融点金属シリサイドからなるソース領域のコンタクト抵抗、並びに、シリコンからなる活性層に形成されたドレイン領域及び高融点金属シリサイドからなるドレイン領域のコンタクト抵抗を低下させることができる。

【0016】

【実施例】図1乃至図8は本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要

部切断断面図を表し、以下、これ等の図を参照しつつ説明する。尚、本発明で用いる薄膜SOIは従来から多用されている通常の技術で作成されたものでよいから、その製造工程の説明は省略する。また、各図では、シリコン半導体基板を薄膜化し、且つ、一素子分ずつ分離された活性層22の下地であるSiO₂からなる絶縁層21から上の部分を表すようにしてある。

【0017】図1参照

1-(1)

10 熱酸化法を適用することに依り、p-シリコン活性層22を覆う厚さ例えば10[nm]乃至20[nm]のSiO₂からなるゲート絶縁膜23を形成する。

【0018】1-(2)

化学気相堆積(chemical vapor deposition: CVD)法を適用することに依り、全面に厚さが例えば200[nm]乃至300[nm]の多結晶シリコン層24を形成する。

1-(3)

20 同じくCVD法を適用することに依り、全面に厚さが例えば50[nm]乃至100[nm]のSiO₂からなる絶縁膜25を形成する。

【0019】図2参照

2-(1)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをCF₄+H₂とする反応性イオン・エッチング(reactive ion etching: RIE)法を適用することに依り、絶縁膜25をゲート・パターンにパターニングする。

2-(2)

30 引き続き、エッチング・ガスをCl系ガスとするRIE法を適用することに依り、多結晶シリコン層24のパターニングを行ってゲート電極24Gを形成する。

【0020】2-(3)

前記工程2-(2)を経ると、ゲート絶縁膜23に覆われているp-シリコン活性層22のエッジには、多結晶シリコン層24の一部がサイド・ウォール状に残留するので、これを除去することが必要である。そこで、リソグラフィ技術に於けるレジスト・プロセスを適用することに依り、前記サイド・ウォール状の多結晶シリコン層24のみを露出させた保護膜を形成する。

2-(4)

40 エッチング・ガスをClとするRIE法を適用することに依り、ゲート絶縁膜23に覆われた活性層22の側面にサイド・ウォール状に残っている多結晶シリコン層24を等方性エッチングして除去する。

【0021】図3参照

3-(1)

50 前記工程2-(3)で形成した保護膜を除去してから、CVD法を適用することに依り、全面に厚さが例えば100[nm]乃至300[nm]のSi₃N₄からなる絶縁

膜26を形成する。

3-(2)

同じくCVD法を適用することに依り、全面に厚さが例えば100[nm]乃至200[nm]のSiO₂からなる絶縁膜27を形成する。

【0022】図4参照

4-(1)

エッチング・ガスをCF₄-H₂とするRIE法を適用することに依り、絶縁膜27及び絶縁膜26の異方性エッチングを行う。尚、このエッチングは、活性層22の表面が露出された時点で停止させる。この工程を経ると、絶縁膜27及び絶縁膜26は、ゲート電極24Gと絶縁膜25との側面及び活性層22の側面にサイド・ウォール状になって残るが、これを取り去る必要はない。

【0023】図5参照

5-(1)

スパッタリング法を適用することに依り、全面に厚さが例えば30[nm]乃至100[nm]のTi膜28を形成する。尚、Ti膜28を形成する前に、必要に応じ、ゲート電極24Gの側面を覆うサイド・ウォール状の絶縁膜27の両側に表出されている活性層22に対して、例えばイオン注入法を適用し、n型不純物イオンを打ち込んで高濃度のn型、即ち、n⁺にしても良い。

【0024】図6参照

6-(1)

RTA(rapid thermal anneal)法を適用することに依って、温度を650[℃]、時間を60[秒]とする熱処理を行い、Ti膜28と下地のシリコンからなる活性層22と反応させてTiSi₂を生成させる。

6-(2)

例えばアンモニア(NH₃)などのアルカリ溶液中に浸漬し、TiSi₂化されなかったTi膜28を除去する。これに依って、TiSi₂からなるソース領域28S及びドレイン領域28Dが形成される。

【0025】図7参照

7-(1)

CF₄プラズマのダウン・フローを利用した処理を行ってサイド・ウォール状の絶縁膜27を除去する。尚、この際、同時にゲート電極24G上に在る絶縁膜25も除去されてしまう。サイド・ウォール状の絶縁膜27を除去するには、前記手段の他、例えば、エッチャントをHFとするウエット・エッチング法を適用することもできる。

【0026】7-(2)

イオン注入法を適用することに依り、ドーズ量を1×10¹³[cm⁻²]、加速エネルギーを30[keV]として導電(P)イオンの打ち込みを行ってLDD構成のn⁺ソース領域29S及びn⁺ドレイン領域29Dを形成する。打ち込まれたPは、適宜の時点に於ける熱処理で活性化

されることは言うまでもない。尚、LDD構成にする必要がなければ、イオン注入を高濃度で行ってn⁺化しても良い。

【0027】図8参照

8-(1)

CVD法を適用することに依り、厚さが例えば1[μm]であるBPSG(borophosphosilicate glass)からなる層間絶縁膜30を形成する。

8-(2)

リソグラフィ技術に於けるレジスト・プロセス並びにエッチング・ガスをCF₄-H₂とするRIE法を適用することに依り、層間絶縁膜30を選択的にエッチングして電極コンタクト用開口を形成する。

8-(3)

真空蒸着法及びリソグラフィ技術を適用し、Alからなるソース電極31及びドレイン電極32やその他の電極・配線を形成して完成する。

【0028】前記した説明から明らかなように、Ti膜28とシリコンからなる活性層22とを反応させてTiSi₂からなるソース領域28S及びドレイン領域28Dを生成させる際、n⁺ソース領域29S及びn⁺ドレイン領域29Dは未だ形成されていないから、シリコン側からTiSi₂側に不純物を取り込まれることはない。

【0029】

【発明の効果】本発明に依るMIS型電界効果トランジスタの製造方法に於いては、薄膜SOIに於けるシリコンからなる活性層上にゲート電極を形成してからその側面にサイド・ウォール状絶縁膜を形成する工程と、該サイド・ウォール状絶縁膜の両側に表出されているシリコンからなる活性層を高融点金属シリサイドからなるソース領域及びドレイン領域に変換する工程と、該サイド・ウォール状絶縁膜を除去して該ゲート電極と該高融点金属シリサイドからなるソース領域及びドレイン領域との間に不純物を導入してLDD構成のソース領域及びドレイン領域を形成する工程とが含まれる。

【0030】前記構成を採ると、シリコンからなる活性層に不純物を導入して形成されるソース領域とドレイン領域とは、高融点金属とシリコンとを反応させて生成される高融点金属シリサイドからなるソース領域とドレイン領域が形成された後で形成されるものであるから、高融点金属とシリコンとを反応させる際に高融点金属シリサイド中に不純物を取り込まれる虞はなく、従って、シリコンからなる活性層に形成されたソース領域及び高融点金属シリサイドからなるソース領域のコンタクト抵抗、並びに、シリコンからなる活性層に形成されたドレイン領域及び高融点金属シリサイドからなるドレイン領域のコンタクト抵抗を低下させることができる。

【図面の簡単な説明】

【図1】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図2】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図3】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図4】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図5】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

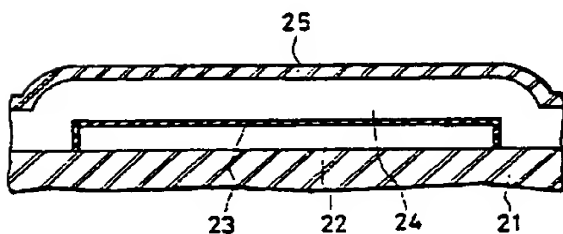
【図6】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図7】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図8】本発明一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図である。

【図1】

一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図



- 21: 絶縁層
- 22: 活性層
- 23: ゲート絶縁膜
- 24: 多結晶シリコン層
- 25: 絶縁膜

る。

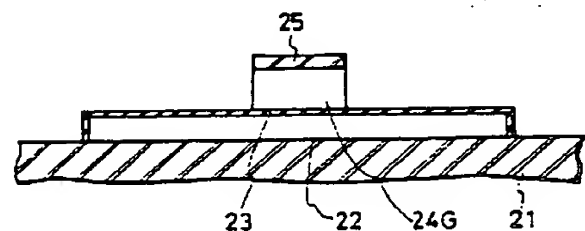
【図9】薄膜SOIを用いたMIS型電界効果トランジスタに於けるソース並びにドレインに高融点金属シリサイドを用いた従来例を説明する為の要部切断側面図である。

【符号の説明】

- 21 絶縁層
- 22 p-シリコン活性層
- 23 ゲート絶縁膜
- 24 多結晶シリコン層
- 24G ゲート電極
- 25 SiO₂ からなる絶縁膜
- 26 Si₃N₄ からなる絶縁膜
- 27 SiO₂ からなる絶縁膜
- 28 Ti膜
- 28S TiSi₂ からなるソース領域
- 28D TiSi₂ からなるドレイン領域
- 29S n⁺ ソース領域
- 29D n⁺ ドレイン領域
- 30 BPSGからなる層間絶縁膜
- 31 Alからなるソース電極
- 32 Alからなるドレイン電極

【図2】

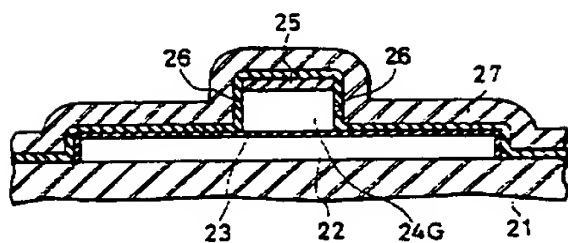
一実施例を解説する為の工程要所に於けるMIS型電界効果トランジスタの要部切断側面図



24G: ゲート電極

【図 3】

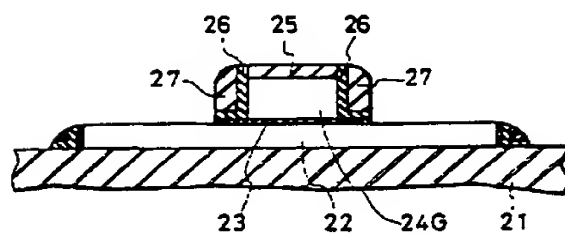
一実施例を解説する為の工程要所に於けるMIS型
電界効果トランジスタの要部切斷側面図



26:絶縁膜
27:絶縁膜

【図 4】

一実施例を解説する為の工程要所に於けるMIS型
電界効果トランジスタの要部切斷側面図

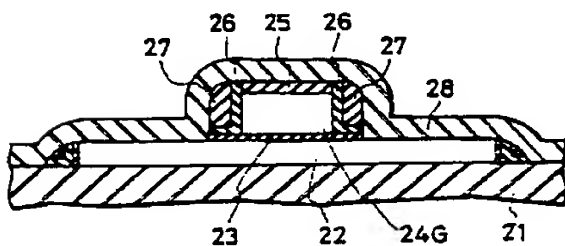


【図 6】

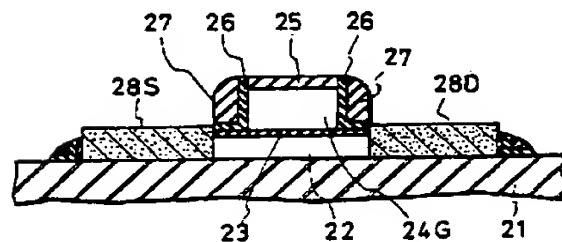
一実施例を解説する為の工程要所に於けるMIS型
電界効果トランジスタの要部切斷側面図

【図 5】

一実施例を解説する為の工程要所に於けるMIS型
電界効果トランジスタの要部切斷側面図



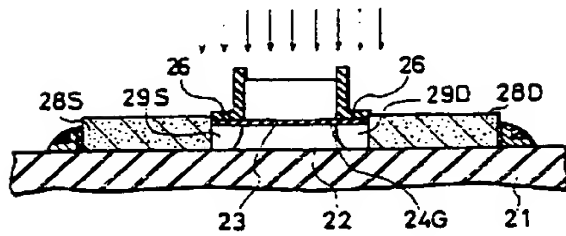
28:Ti膜



28S:TiSi₂ からのソース領域
28D:TiSi₂ からのドレイン領域

【図 7】

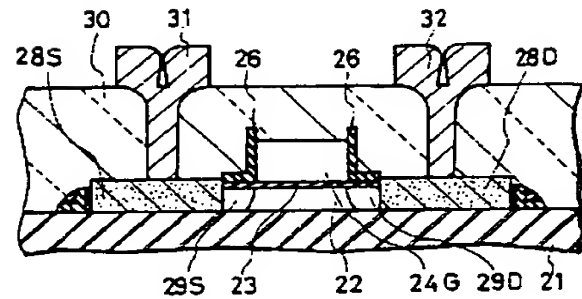
一実施例を解説する為の工程要所に於けるMIS型
電界効果トランジスタの要部切断側面図



29S : n⁺ - ソース領域
29D : n⁺ - ドレイン領域

【図 8】

一実施例を解説する為の工程要所に於けるMIS型
電界効果トランジスタの要部切断側面図



30 : 層間絶縁膜
31 : ソース電極
32 : ドレイン電極

【図 9】

MIS型電界効果トランジスタの従来例を
解説する為の要部切断側面図

